

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

Offenlegungsschrift DE 199 52 867 A 1

21 Aktenzeichen: 199 52 867.5
22 Anmeldetag: 3. 11. 1999
43 Offenlegungstag: 18. 5. 2000

51 Int. Cl. 7:
H 03 L 7/06
H 03 L 7/089
H 03 L 7/085
H 03 K 19/21
H 03 K 17/00
H 02 M 3/07

DE 199 52 867 A 1

30 Unionspriorität:
187621 06. 11. 1998 US
71 Anmelder:
Motorola, Inc., Schaumburg, Ill., US
74 Vertreter:
Markus A. Richardt, Dr. Lothar Pfeifer, 65203
Wiesbaden

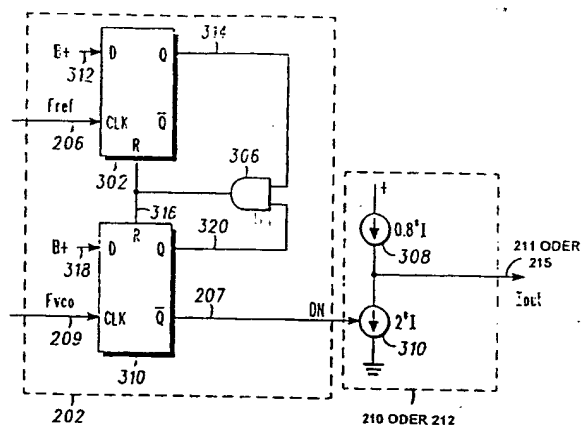
72 Erfinder:
Hietala, Alexander W., Phoenix, Ariz., US; Gonzalez,
David M., Elgin, Ill., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Phasendetektor mit Frequenzsteuerung

57 Eine PLL (212) mit einem Phasendetektor (202) und einer Ladungspumpe (210 oder 212). Der Phasendetektor (300) umfaßt einen ersten D-Typ-Flip-Flop (302), einen zweiten D-Typ-Flip-Flop (304) und ein AND-Gatter, wobei eine Rückstellschaltung (306) gebildet wird. Die Ladungspumpe (210 oder 212) enthält eine Aufwärts-Stromquelle (308) und eine Abwärts-Stromquelle (310). Die Aufwärts-Stromquelle (308) liefert einen konstanten Strom. Die Abwärts-Stromquelle (310) ändert sich in Abhängigkeit eines Ausgangssignals (207), welches von dem zweiten D-Typ-Flip-Flop (304) erzeugt wird. Der von der Aufwärts-Stromquelle (308) gelieferte konstante Strom wird so eingestellt, daß er geringer ist als die Hälfte des von der Abwärts-Stromquelle (310) gelieferten Stroms, um eine Vorspannung ("bias") der Ladungspumpe (210 oder 212) in negative Richtung zur Verfügung zu stellen und falsche Verriegelungen zwischen der Phase eines geteilten Referenzfrequenzsignals (206) und der Phase eines geteilten spannungsgesteuerten Oszillatorfrequenzsignals (209) zu minimieren. Alternativ kann die Aufwärts-Stromquelle (308) in analoger Weise mit konstant gehaltener Abwärts-Stromquelle (310) gesteuert werden, um einen vergleichbaren Effekt und vergleichbare Vorteile zu erhalten.



DE 199 52 867 A 1

Die vorliegende Erfindung bezieht sich allgemein auf Phasendetektoren für Phase Locked Loops und insbesondere auf einen Phasendetektor mit einer Frequenzsteuerung für Phase Locked Loops.

- Im allgemeinen ist es im Stand der Technik bekannt, Phasendetektoren bei Phase Locked Loops (PLL, Pasenregelkreis) zu verwenden. Bei einer PLL vergleicht ein Phasendetektor die Phase des Referenzsignals mit der Phase eines geteilten spannungsgesteuerten Oszillatorsignals ("voltage controlled oscillator" (VCO)). Der Ausgang des Phasendetektors treibt daraufhin eine Ladungspumpe (Steuereinheit). Diese treibt wiederum einen Schleifenfilter ("loop filter"), dem ein VCO folgt. Der VCO erzeugt das VCO-Signal, welches von einem Schleifenteiler ("loop divider") geteilt wird, um das geteilte VCO-Signal zu erzeugen.

- Drei im Stand der Technik bekannte allgemeine Typen von Phasendetektoren umfassen einen Exklusiv-ODER-Phasendetektor, einen Dreistufen-Phasendetektor und einen Zweistufen-Phasendetektor. Die Fig. 6-8 beschreiben einen Exklusiv-ODER-Phasendetektor gemäß dem Stand der Technik. Die Fig. 9-13 beschreiben einen Dreistufen-Phasendetektor gemäß dem Stand der Technik. Die Fig. 14-21 beschreiben einen Zweistufen-Phasendetektor gemäß dem Stand der Technik.

- Es wird zunächst der Exklusiv-ODER-Phasendetektor beschrieben. Fig. 6 veranschaulicht ein Blockdiagramm eines Exklusiv-ODER-Phasendetektors 600 gemäß dem Stand der Technik. Fig. 7 veranschaulicht ein Timing-Diagramm 700 für den Exklusiv-ODER-Phasendetektor 600 nach Fig. 6 gemäß dem Stand der Technik. Fig. 8 veranschaulicht einen Graphen 800, welcher die Ausgangsspannung gegen die Phase für den Exklusiv-ODER-Phasendetektor 600 nach Fig. 6 gemäß dem Stand der Technik aufzeigt.

- In Fig. 6 hat der Exklusiv-ODER-Phasendetektor 600 zwei Eingangsanschlüsse und einen Ausgangsanschluß. Ein erster Anschluß empfängt ein geteiltes Referenzfrequenzsignal 604 von einem (nicht gezeigten) Referenzfrequenzteiler. Ein zweiter Anschluß empfängt ein geteiltes VCO-Frequenzsignal 606 von einem (nicht gezeigten) Schleifenteiler. Der Ausgangsanschluß erzeugt ein Phasenfehlersignal 608. Typischerweise ist das Phasenfehlersignal ein Spannungssignal.

- Der Exklusiv-ODER-Phasendetektor 600 arbeitet gemäß einem Timing-Diagramm 700 der in Fig. 7 dargestellten Wellenformen und gemäß der folgenden Wahrheitstabelle.

| | Quelle 1 (604) | Quelle 2 (606) | Ausgang (608) |
|----|----------------|----------------|---------------|
| 30 | 0 | 0 | 0 |
| | 0 | 1 | 1 |
| | 1 | 0 | 1 |
| 35 | 1 | 1 | 0 |

- Wenn die beiden Quellen Signale 604 und 606 erzeugen, welche in Phase sind, so befindet sich die Ausgangsspannung 608 auf einem logischen Null-Niveau. Wenn die beiden Quellen Signale 604 und 606 erzeugen, welche um 180 Grad phasenverschoben sind, so befindet sich die Ausgangsspannung 608 auf einem logischen High-Niveau (typischerweise einer logischen Versorgungsspannung Vcc). Eine beliebige Phasenverschiebung zwischen dem logischen Null-Niveau und dem logischen High-Niveau führt zu einer Ausgangsspannung 608, welche einen Mittelwert zwischen dem logischen Null-Niveau und dem logischen High-Niveau darstellt. Die Ausgangsspannung 608 des Exklusiv-ODER-Phasendetektors 600 wird von einem (nicht gezeigten) Filter gefiltert, um die große Änderung zwischen dem logischen Null-Niveau und dem logischen High-Niveau zu vermindern.

- Ein Graph 800 der Ausgangsspannung 608 gegen den Phasenfilter für den Exklusiv-ODER-Phasendetektor 600 ist in Fig. 8 gezeigt. In Fig. 8 wird eine Verstärkung des Exklusiv-ODER-Phasendetektors 608 als Steigung der durchschnittlichen Ausgangsspannung 608 (Vcc) gegen die Phase dargestellt. In Fig. 8 ist die Steigung Vcc/Phase Volt pro Radian.

- Der Exklusiv-ODER-Phasendetektor 600 hat wenigstens zwei Nachteile. Erstens wird dieselbe Ausgangsspannung für positive und negative Phasenfehler erzeugt. Somit muß der Exklusiv-ODER-Phasendetektor 600 modifiziert werden, wenn die PLL bei einem Null-Phasenfehler verriegeln (einrasten) soll. Zweitens hängt die Ausgangsspannung 608 des Exklusiv-ODER-Phasendetektors 600 von der Pulsbreite der Eingangspulse der beiden Eingangssignale 604 und 606 ab. Wenn daher ein Signal schmale Impulse und ein anderes Signal breite Impulse hat, so ist die Verstärkung des Exklusiv-ODER-Phasendetektors 600 sehr unterschiedlich.

- Als nächstes wird der Dreistufen-Phasendetektor beschrieben. Fig. 9 veranschaulicht ein Blockdiagramm eines Dreistufen-Phasendetektors 901 und einer Ladungspumpe 903 gemäß dem Stand der Technik. Der Dreistufen-Phasendetektor 901 ist im allgemeinen eine Verbesserung des Exklusiv-ODER-Phasendetektors 600.

- In Fig. 9 enthält der Dreistufen-Phasendetektor 901 allgemein einen ersten D-Typ-Flip-Flop 902, einen zweiten D-Typ-Flip-Flop 904 und ein AND-Gatter 906. Der erste D-Typ-Flip-Flop 902 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit einer positiven Versorgungsspannung 908 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes Referenzfrequenzsignal 910 (Fref) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 912. Der vierte Anschluß erzeugt ein zweites Ausgangssignal 914 (d. h. das UP-Signal (aufwärts)). Der fünfte Anschluß ist so gekoppelt, daß er ein Rückstellsignal 924 empfängt. Der zweite D-Typ-Flip-Flop 904 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit der positiven Versorgungsspannung 916 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes VCO-Frequenzsignal 918 (Fvco) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 920. Der vierte Anschluß erzeugt ein zweites Ausgangssignal 922 (d. h. das DN-Signal (abwärts)). Der fünfte Anschluß ist so gekoppelt, daß er das Rückstellsignal 924 empfängt.

In Fig. 9 umfaßt die Ladungspumpe 903 im allgemeinen eine erste Stromquelle 926 und eine zweite Stromquelle 928. Die erste Stromquelle 926 hat einen ersten Anschluß, einen zweiten Anschluß und einen dritten Anschluß. Der erste Anschluß ist mit der positiven Versorgungsspannung 932 verbunden. Der zweite Anschluß ist so gekoppelt, daß er das UP-Signal 914 von dem ersten D-Typ-Flip-Flop 902 empfängt. Der dritte Anschluß erzeugt ein Ausgangssignalsignal 930. Die zweite Stromquelle 928 hat einen ersten Anschluß, einen zweiten Anschluß und einen dritten Anschluß. Der erste Anschluß 932 ist mit dem dritten Anschluß der ersten Stromquelle 926 verbunden, und er arbeitet so, daß das Ausgangssignalsignal 930 erzeugt wird. Der zweite Anschluß ist so gekoppelt, daß er das DN-Signal 922 von dem zweiten D-Typ-Flip-Flop 904 empfängt. Der dritte Anschluß ist mit Erdpotential verbunden.

Beim allgemeinen Betrieb des Dreistufen-Phasendetektors 901 verursacht ein Phasenunterschied zwischen Fref 910 und Fvco, daß sich das UP-Signal 914 und das DN-Signal 922 des Dreistufen-Phasendetektors 901 ändern. Das UP-Signal 914 und das DN-Signal 922 des Dreistufen-Phasendetektors 901 treiben zwei Stromquellen 926 und 928 der Ladungspumpe 903, welche (in Fig. 9 nicht gezeigte) Schleifenfilterkondensatoren laden oder entladen, um eine Spannungssteuerung für einen (in Fig. 9 nicht gezeigten) VCO in einer (in Fig. 9 nicht gezeigten) PLL zu bilden.

Insbesondere ist beim Betrieb des Dreistufen-Phasendetektors 901 der Fall zu betrachten, in welchem Fref 910 vor Fvco 918 ansteigt, wobei beide D-Typ-Flip-Flops 902 und 904 durch die Flanke getriggert werden. Auf der ersten ansteigenden Flanke von Fref 910 setzt der erste D-Typ-Flip-Flop 902 sein erstes Ausgangssignal 912 auf ein logisches High und sein zweites Ausgangssignal 914 auf ein logisches Low. Beide Ausgangssignale 912 und 914 bleiben in diesem Zustand, bis Fvco 918 ansteigt. Wenn Fvco 918 ansteigt, so setzt der zweite D-Typ-Flip-Flop 904 sein erstes Ausgangssignal 920 auf ein logisches High und sein zweites Ausgangssignal 922 auf ein logisches Low. Das logische Low des ersten Ausgangssignals 912 von dem ersten D-Typ-Flip-Flop 902 und das logische High des ersten Ausgangssignals 920 von dem zweiten D-Typ-Flip-Flop 904 verursachen, daß das AND-Gate 906 das Rückstellsignal 924 auf einem logischen High erzeugt, um beide Flip-Flops 902 und 904 zurückzustellen. Wenn diese Rückstellung auftritt, kehrt der Dreistufen-Phasendetektor 901 in seinen Ausgangszustand zurück, und er ist bereit, einen anderen Satz von Impulsen von Fref 910 und Fvco 918 zu empfangen. Dieser Betrieb des Dreistufen-Phasendetektors 901 verursacht, daß das UP-Signal 914 über einen Zeitraum auf Low ist, welcher gleich der Verzögerung zwischen Fref 910 und Fvco 918 ist. Der logische Low-Impuls von dem UP-Signal 914 treibt die erste Stromquelle 926, welche die Loop-Filterkondensatoren in der PLL auf eine höhere Spannung lädt. Als Antwort auf die höhere Spannung erhöht der VCO in der PLL seine Frequenz, um zu bewirken, daß ein Impuls von Fvco 918 eher auftritt als ein nächster Abstastmoment, was wiederum die Impulsbreite herabsetzt, die bei dem UP-Signal 914 erzeugt wird. Dieser Betrieb setzt sich fort, bis Fvco 918 zu demselben Zeitpunkt auftritt wie Fref 910; dies führt dazu, daß im wesentlichen kein Impuls bei dem UP-Signal 914 erzeugt wird. Wenn andererseits Fvco 918 vor Fref 910 angestiegen wäre, so hätte sich das DN-Signal 922 in einer analogen Weise verhalten, wie es für das UP-Signal 914 beschrieben wurde, um so einen Impuls von Fvco 918 zu vermindern.

Fig. 10 veranschaulicht ein Timing-Diagramm 1000 für den Dreistufen-Phasendetektor 901 aus Fig. 9 gemäß dem Stand der Technik. Das Timing-Diagramm 1000 zeigt typische Ausgänge für verschiedene exemplarische Phasenunterschiede. Wenn Fref 910 Fvco 918 um einen Betrag von nahezu 360 Grad vorausseilt, so ist der UP-Signalsimpuls 914 nahezu stets aktiv. Dies führt zu einem positiven Stromsignal 930, welches für den Schleifenfilter in der PLL erzeugt wird. Wenn Fvco 918 um einen Betrag von nahezu 360 Grad vorausseilt, so ist der DN-Signalsimpuls 922 nahezu stets aktiv. Dies führt zu einem negativen Stromsignal 930, welches für den Loop-Filter in der PLL erzeugt wird.

Fig. 11 veranschaulicht einen Graph 1100 einer Ausgangsspannung gegen den Phasen-Offset für den Dreistufen-Phasendetektor 901 und die Ladungspumpe 903 aus Fig. 9, wenn eine Aufwärts-Stromquelle 926 und eine Abwärts-Stromquelle 928 gemäß dem Stand der Technik ausgeglichen sind. In diesem Graph 1100 beträgt die Phasendetektorverstärkung $I_0/2\pi$ Ampere/Radian. Im Vergleich zu dem Exklusiv-ODER-Phasendetektor 600 wurde das Problem der Verriegelung bei einem Null-Phasen-Offset gelöst. Dies ist daran zu erkennen, daß die Charakteristik eine ungerade Funktion bezüglich dem Ursprung des Graphen darstellt (d. h. das Vorzeichen des Phasenfehlers wird berücksichtigt). Für Offsets oberhalb von $\pm 2\pi$ ändert sich die Verstärkung in Abhängigkeit der exakten Frequenzbeziehung, jedoch liegt der Netto-Ausgangsstrom stets bei einem Wert, so daß die PLL das Signal zieht. Dies ist als Frequenzerfassung ("frequency acquisition") bekannt. Indem der Dreistufen-Phasendetektor 901 modifiziert wird, ist es möglich, daß der Netto-Ausgangsstrom in dem erwünschten Aufwärts- oder Abwärtszustand gehalten wird (was somit zur schnellstmöglichen Abstimmung führt), wenn zwei oder mehr Impulse eines Eingangs 910 oder 918 für jeden Impuls des anderen Eingangs 910 oder 918 auftreten.

Es ist zu bemerken, daß das Timing-Diagramm 1000 repräsentative Impulse zeigt; das UP-Signal 914 und das DN-Signal 922 haben Impulse mit minimalen Breiten am Ende der Steuerungsimpulse; dies gilt aufgrund der finiten Verzögerung, die mit dem AND-Gatter 906 und der Flip-Flop-Rückstellung in Verbindung steht, unabhängig von der Eigenschaft des Netto-Impulses. Dieser minimale Impuls ist in einer realen Schaltung nicht zu vermeiden, und er verursacht Referenzspitzen (Referenzstörungen). Die Referenzspitzen werden durch die Impulszüge mit minimaler Breite verursacht, welche den VCO und die PLL bei der Referenzfrequenz modulieren und die Spitzen bei harmonischen Frequenzen der Referenzfrequenz erzeugen. Bei einem idealen Dreistufen-Phasendetektor 901 ohne minimale Impulsbreite würde der Korrekturterm gegen Null gehen, und somit würden jegliche Referenzspitzen eliminiert. Idealerweise gäbe es selbst mit den minimalen Impulsen keine Referenzspitzen, da beide Quellen so gearartet sind, daß sie sich gegenseitig auslöschende Signale 910 und 918 zur Verfügung stellen. In der Realität sind die Impulse im Hinblick auf Zeit und Amplitude jedoch nicht perfekt ausgeglichen, und somit werden Spitzen erzeugt. Um dieses Problem zu lösen, wird typischerweise eine Verzögerung am Ausgang des AND-Gatters 906 zugefügt, um eine minimale Impulsbreite zu erzeugen, die bei typischerweise 4 bis 10 ns liegt. Der Grund besteht darin, daß reale Stromquellen kein instantanes Einschaltverhalten zeigen.

Fig. 12 veranschaulicht ein Timing-Diagramm 1200 für den Dreistufen-Phasendetektor 901 und die Ladungspumpe 903 aus Fig. 9 gemäß dem Stand der Technik. Das Timing-Diagramm 1200 zeigt den Betrieb des Paares von Stromquellen 1026 und 1028, welche einen Netto-Aufwärtsimpuls mit und ohne minimaler Impulsbreite bewirken. Wenn die minimale Impulsbreite nicht ausreicht, um sicherzustellen, daß sich die Stromquellen einschalten, so gibt es einen Bereich geringerer Phasen-Offsets, in denen die PLL nicht anspricht. Dies ist als Totzone bekannt. Wenn eine Totzone aufkehrt, so

läuft der VCO frei, sobald sich die PLL innerhalb der Totzone auftritt. Aufgrund von Leckströmen fällt die Steuerungsspannung des VCO ab, bis sich die PLL aus der Totzone herausbewegt, wobei zu diesem Zeitpunkt die PLL die Spannung auf die andere Seite der Zone korrigiert und wobei sich der Prozeß wiederholt. Das Netto-Ergebnis ist eine "Sägezahn"-ähnliche Modulation des VCO mit sehr geringer Rate. Selbst wenn der Dreistufen-Phasendetektor 901 im Hinblick auf das Rauschverhalten im Vergleich zum Exklusiv-ODER-Phasendetektor 600 verbessert ist, besteht daher aufgrund des minimalen Impulsausgangs und der Leckströme bei dem Schleifenfilter das Erfordernis, Referenzspitzen zu filtern.

Der Dreistufen-Phasendetektor 901 leidet ebenfalls an einer anderen nicht idealen Eigenschaft, welche seine Nützlichkeit bei Anwendungen begrenzt, die eine hohe Linearität erfordern. Wenn das UP-Stromsignal 914 und das DN-Stromsignal 922 nicht exakt ausgeglichen sind, so ändert sich die Verstärkung des Dreistufen-Phasendetektors 901 in Abhängigkeit des Vorzeichens des Phasenfehlers. Fig. 13 zeigt ein Beispiel dieser Situation. Fig. 13 veranschaulicht einen Graph 1300 eines Ausgangsstroms gegen den Phasen-Offset für den Dreistufen-Phasendetektor 901 und die Ladungspumpe 903 aus Fig. 9, wenn die Aufwärts-Stromquelle 926 und die Abwärts-Stromquelle 928 nicht ausgeglichen sind, gemäß dem Stand der Technik. In Fig. 13 ist die Steigung der Linie 1302 eine andere als diejenige der Linie 1304. Auch wenn es sich nicht um ein Ergebnis eines Standard-Synthesizers handelt, wird diese Unausgeglichenheit bei einem fraktionierten N-Synthesizer Nichtlinearitäten erzeugen, welche zu gestörten Ausgaben führen.

Als nächstes wird auf den Zweistufen-Phasendetektor Bezug genommen. Fig. 14 veranschaulicht ein Blockdiagramm eines Zweistufen-Phasendetektors 1401 und einer Ladungspumpe 1403 gemäß dem Stand der Technik. Um das Linearitätsergebnis zu vermeiden, welches mit dem Dreistufen-Phasendetektor 901 in Verbindung steht, können Frequenzsynthesizer einen Zweistufen-Phasendetektor 1401 verwenden, wie er in Fig. 14 gezeigt ist.

In Fig. 14 umfaßt der Zweistufen-Phasendetektor 1401 im allgemeinen einen ersten D-Typ-Flip-Flop 1402 und einen zweiten D-Typ-Flip-Flop 1404. Der erste D-Typ-Flip-Flop 1402 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit einer positiven Versorgungsspannung 1406 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes Frequenzsignal 1422 (Fref) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 1410. Der vierte Anschluß wird nicht verwendet. Der fünfte Anschluß ist so gekoppelt, daß er ein Rückstellsignal 1412 empfängt. Der zweite D-Typ-Flip-Flop 1404 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit der positiven Versorgungsspannung 1408 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes VCO-Frequenzsignal 1424 (Fvco) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 1414 (d. h. das DN-Signal (abwärts)). Der vierte Anschluß wird nicht verwendet. Der fünfte Anschluß ist so gekoppelt, daß er das Rückstellsignal 1412 empfängt.

In Fig. 14 umfaßt die Ladungspumpe 1403 allgemein eine erste Stromquelle 1416 und eine zweite Stromquelle 1418. Die erste Stromquelle 1416 hat einen ersten Anschluß und einen zweiten Anschluß. Der erste Anschluß ist mit einer positiven Spannungsquelle verbunden. Der zweite Anschluß erzeugt ein Ausgangsstromsignal 1420. Die zweite Stromquelle 1418 hat einen ersten Anschluß, einen zweiten Anschluß und einen dritten Anschluß. Der erste Anschluß ist mit dem zweiten Anschluß der ersten Stromquelle 1416 verbunden, und er arbeitet so, daß er das Ausgangsstromsignal 1420 erzeugt. Der zweite Anschluß ist mit dem dritten Anschluß des zweiten D-Typ-Flip-Flop 1404 verbunden, und er ist so gekoppelt, daß er das DN-Signal 1414 empfängt. Der dritte Anschluß ist mit einem Erdpotential verbunden.

Fig. 15 veranschaulicht ein Timing-Diagramm 1500 für den Zweistufen-Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14 in einem phasenverriegelten Zustand gemäß dem Stand der Technik. Bei dem Zweistufen-Phasendetektor 1401 entspricht der verriegelte Zustand einer "Rechteckwelle" des Stroms mit einer Amplitude gleich I. Dies bedeutet, daß es gleiche Aufwärts- und Abwärtsstromimpulse gibt und daß daher die Netto-Ladungsübertragung zum Schleifenfilter in der PLL Null beträgt. Es ist zu beachten, daß in dem Zweistufen-Phasendetektor der verriegelte Zustand auftritt, wenn die Eingangswellenformen 1422 und 1424 um 180 Grad phasenverschoben sind. Wenn die Phase von Fvco 1424 derjenigen von Fref 1422 vorausseilt, so steigt der Duty-Cycle des DN-Signals 1414 an, bis der Strom I kontinuierlich bei 360 Grad auf Erde absinkt. Wenn sich andererseits die Phase von Fvco 1424 derjenigen von Fref 1422 nähert, nähert sich der Duty-Cycle des Ausgangsstromsignals 1420 Null, und das Netto-Ergebnis ist ein kontinuierlicher Strom des Loop-Filters. Fig. 16 veranschaulicht beispielhaft ein Timing-Diagramm für den Zweistufen-Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14, wenn Fvco 1424 bezüglich Fref 1422 vorausseilt, gemäß dem Stand der Technik.

Fig. 17 veranschaulicht einen Graph 1700 des Netto-Ausgangsstroms gegen den Phasen-Offset des Zweistufen-Phasendetektors 1403 aus Fig. 14, wenn die Aufwärts-Stromquelle 1416 und die Abwärts-Stromquelle 1418 ausgeglichen sind 1702 und wenn sie nicht ausgeglichen sind 1704, gemäß dem Stand der Technik. Der Zweistufen-Phasendetektor 1401 ist nahezu perfekt linear, da die Impulsbreite der Abwärts-Stromquelle 1418 auf den zweifachen Strom (2I) der Aufwärts-Stromquelle 1416 gebracht wird, während die Aufwärts-Stromquelle 1416 auf einen konstanten Strom (I) gebracht wird. Wenn daher ein Ungleichgewicht zwischen der Aufwärts-Stromquelle 1416 und der Abwärts-Stromquelle 1418 aufgrund der Abnahme des von der Aufwärts-Stromquelle 1416 gelieferten Stroms vorliegt, so verschiebt sich die ausgeglichene Linie 1702 entlang der Y-Achse zu der nicht ausgeglichenen Linie 1704, welche als unterbrochene Linie dargestellt ist, jedoch wird die Linearität der nicht ausgeglichenen Linie 1704 nicht beeinflusst.

Fig. 18 veranschaulicht ein Timing-Diagramm 1900 für den Zweistufen-Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14, wenn Fvco 1424 vor Fref 1422 vorausseilt und eine höhere Frequenz hat als Fref 1422, gemäß dem Stand der Technik. In Fig. 18 ist Fvco die zweite harmonische Frequenz von Fref. Es ist zu beachten, daß der Ausgangsstrom 1420 nahezu gleich dem verriegelten Zustand einer Rechteckwelle oder einem Netto-Ladungstransfer von Null aus der Ladungspumpe ist. Wenn der Phasenfehler Null betrüge, wäre dies richtig. Diese Situation tritt auf, wenn $F_{ref} \cdot A = F_{vco} \cdot (A+1)$, wobei A eine ganze Zahl ist. Die meisten der sich ergebenden Wellenformen von Iout werden in diesem Fall keine Rechteckwellen sein. Jedoch ist der Netto-Ladungstransfer Null. Daher hat der klassische Zweistufen-Phasendetektor Punkte mit einem Netto-Ausgangsladungstransfer von Null bei Frequenzen, wo $A \cdot F_{ref} = (A+1) \cdot F_{vco}$, wenn die Phase der Eingangswellenformen richtig ist. Dies kann verursachen, daß die PLL bei falschen ganzzahligen Verhältnissen (unterschiedlich von 1 : 1) der beiden Eingangswellenformen verriegelt. Einige dieser ganzzahligen Verhältnisse

können sehr dicht bei der erwünschten Frequenz liegen, und somit kann dieser Phasendetektortyp eine Fehlfunktion bewirken, selbst für Synthesizer mit engen Abstimmungsbereichen. Fig. 18 zeigt einen leichten Phasen-Offset der harmonischen Wellenform. Damit soll betont werden, daß in dem Fall einer nicht exakt mit Fref ausgerichteten Phasenbeziehung der zweiten harmonischen Fvco, der Phasendetektorausgang die richtige Polarität aufweist, um die Frequenz in richtiger Weise zu steuern. Daher sind in der idealen Situation die falschen Verriegelungen auf ganzzahlige Verhältnisse, welche sich von 1 : 1 unterscheiden, metastabile Zustände, da eine beliebige Bewegung der Phase von der exakten Ausrichtung verursachen wird, daß sich die Schleife von dem Punkt weg bewegt. Dies ist in Fig. 19 für zwei verschiedene ganzzahlige Frequenzverhältnisse dargestellt. In diesem Fall haben zwei falsche Verriegelungsfrequenzen die Charakteristik, daß sie bezüglich des Nettostroms nicht die "Nullachse kreuzen".

Fig. 19 veranschaulicht einen Graph 1900, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14 darstellt, welche ohne Frequenzsteuerung arbeiten, gemäß dem Stand der Technik. Die Graphen dieser hier offenbaren Art dienen nur der allgemeinen Erläuterung, wobei sie keine genaue Auftragung von Werten darstellen sollen. Der Grund ist der, daß der Phasenfehler zwischen zwei verschiedenen Frequenzen nicht klar definiert wäre. Der Zweck dieses Graphs 1900 besteht darin zu zeigen, daß es mehrere Verriegelungspunkte oberhalb und unterhalb des erwünschten Punktes gibt, und daß diese Punkte die x-Achse berühren jedoch nicht schneiden.

Wenn die Aufwärts-Stromquelle 1416 und die Abwärts-Stromquelle 1418 jeweils exakt in einem 1-zu-2-Verhältnis ausgeglichen sind, so wird die Kurve von Iout gegen die Phase so dargestellt, wie es in Fig. 19 gezeigt ist. Wenn es jedoch ein geringes Ungleichgewicht bei den Strömen der Aufwärts-Stromquelle 1416 und der Abwärts-Stromquelle 1418 gibt, so ist eine falsche Verriegelung möglich. Dieser falsche Verriegelungszustand wird in den Fig. 20 und 21 dargestellt. Fig. 20 veranschaulicht einen Graph 2000, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14 darstellt, die mit einer Frequenzsteuerung arbeiten, welche bei einem Anwachsen der Aufwärts-Stromquelle 1416 erzeugt wird, gemäß dem Stand der Technik. Fig. 21 veranschaulicht einen Graph 2100, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor 1401 und die Ladungspumpe 1403 aus Fig. 14 darstellt, welche bei einer Frequenzsteuerung arbeiten, die bei einer Abnahme der Aufwärts-Stromquelle 1416 erzeugt werden, gemäß dem Stand der Technik. In diesen Fällen bewirkt ein Ansteigen des Stroms, welcher von der Aufwärts-Stromquelle 1416 zur Verfügung gestellt wird, falsche Verriegelungsbedingungen auf der positiven x-Achse und eine Abnahme des Stroms, welcher von der Aufwärts-Stromquelle 1416 zur Verfügung gestellt wird, bewirkt falsche Verriegelungsbedingungen auf der negativen x-Achse. Beide Zustände bewirken einen nicht korrekten Betrieb des Phasendetektors.

Dementsprechend besteht der Wunsch nach einem Phasendetektor für eine Phase Locked Loop, welche falsche Verriegelungen zwischen der Phase des geteilten Referenzfrequenzsignals (Fref) 1422 und der Phase des geteilten spannungsgesteuerten Oszillatorfrequenzsignals (Fvco) 1424 minimiert.

Die Erfindung wird im folgenden mit Bezug auf die begleitenden Zeichnungen beispielhaft anhand von Ausführungsformen beschrieben.

Fig. 1 veranschaulicht ein Blockdiagramm eines Funkkommunikations-Transceivers gemäß der vorliegenden Erfindung.

Fig. 2 veranschaulicht ein Blockdiagramm eines Phase-Locked-Loop Frequenzsynthesizer zur Verwendung in dem Funkkommunikations-Transceiver aus Fig. 1 gemäß der vorliegenden Erfindung.

Fig. 3 veranschaulicht ein Blockdiagramm eines Phasendetektors und eine Ladungspumpe gemäß der vorliegenden Erfindung.

Fig. 4 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 3 darstellt, welche ohne Frequenzsteuerung arbeiten, gemäß der vorliegenden Erfindung.

Fig. 5 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 3 darstellt, welche mit Frequenzsteuerung arbeiten, gemäß der vorliegenden Erfindung.

Fig. 6 veranschaulicht ein Blockdiagramm eines Exklusiv-ODER-Phasendetektors gemäß dem Stand der Technik.

Fig. 7 veranschaulicht ein Timing-Diagramm für den Exklusiv-ODER-Phasendetektor aus Fig. 6 gemäß dem Stand der Technik.

Fig. 8 veranschaulicht einen Graph, welcher die Ausgangsspannung gegen die Phase für den Exklusiv-ODER-Phasendetektor aus Fig. 6 gemäß dem Stand der Technik darstellt.

Fig. 9 veranschaulicht ein Blockdiagramm eines Dreistufen-Phasendetektors und einer Ladungspumpe gemäß dem Stand der Technik.

Fig. 10 veranschaulicht ein Timing-Diagramm für den Dreistufen-Phasendetektor aus Fig. 9 gemäß dem Stand der Technik.

Fig. 11 veranschaulicht einen Graph, eines Ausgangsstroms gegen den Phasen-Offset für den Dreistufen-Phasendetektor und die Ladungspumpe aus Fig. 9, wenn eine Aufwärts-Stromquelle und eine Abwärts-Stromquelle ausgeglichen sind, gemäß dem Stand der Technik.

Fig. 12 veranschaulicht ein Timing-Diagramm für den Dreistufen-Phasendetektor und die Ladungspumpe aus Fig. 9 gemäß dem Stand der Technik.

Fig. 13 veranschaulicht einen Graph eines Ausgangsstroms gegen den Phasen-Offset für den Dreistufen-Phasendetektor und die Ladungspumpe aus Fig. 9, wenn die Aufwärts-Stromquelle und die Abwärts-Stromquelle nicht ausgeglichen sind, gemäß dem Stand der Technik.

Fig. 14 veranschaulicht ein Blockdiagramm eines Zweistufen-Phasendetektors und einer Ladungspumpe gemäß dem Stand der Technik.

Fig. 15 veranschaulicht ein Timing-Diagramm für den Zweistufen-Phasendetektor und die Ladungspumpe aus Fig. 14 in einem phasenverriegelten Zustand gemäß dem Stand der Technik.

Fig. 16 veranschaulicht ein Timing-Diagramm für den Zweistufen-Phasendetektor und die Ladungspumpe aus Fig. 14, wenn die Frequenz des spannungsgesteuerten Oszillators der Referenzfrequenz vorausseilt, gemäß dem Stand der

Technik.

Fig. 17 veranschaulicht einen Graph eines Netto-Ausgangsstroms gegen den Phasen-Offset für den Zweistufen-Phasendetektor aus Fig. 14, wenn eine Aufwärts-Stromquelle und eine Abwärts-Stromquelle ausgeglichen sind und wenn sie nicht ausgeglichen sind, gemäß dem Stand der Technik.

5 Fig. 18 veranschaulicht ein Timing-Diagramm für den Zweistufen-Phasendetektor und die Ladungspumpe aus Fig. 14, wenn die Frequenz des spannungsgesteuerten Oszillators der Referenzfrequenz vorausseilt und eine höhere Frequenz als die Referenzfrequenz aufweist, gemäß dem Stand der Technik.

Fig. 19 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 14 darstellt, welche ohne Frequenzsteuerung arbeiten, gemäß dem Stand der Technik.

10 Fig. 20 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 14 darstellt, welche mit Frequenzsteuerung arbeiten, die durch ein Ansteigen der Aufwärts-Stromquelle erzeugt wird, gemäß dem Stand der Technik.

Fig. 21 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 14 darstellt, welche mit Frequenzsteuerung arbeiten, die durch eine Abnahme der Aufwärts-Stromquelle erzeugt wird, gemäß dem Stand der Technik.

15 Fig. 1 veranschaulicht beispielhaft ein Blockdiagramm eines Funkkommunikations-Transceivers 100 (im nachfolgenden als "Transceiver" bezeichnet) gemäß der vorliegenden Erfindung. Der Transceiver 100 befähigt eine mobile oder tragbare Teilnehmereinheit, mit einer (nicht gezeigten) Basisstation zu kommunizieren, beispielsweise über Radiofrequenzkanäle ("radio frequency" (RF)) in einem (nicht gezeigten) Funkkommunikationssystem. Die Basisstation stellt daraufhin eine Kommunikation mit einem (nicht gezeigten) Telefonsystem und anderen Teilnehmereinheiten zur Verfügung. Bei der bevorzugten Ausführung ist ein Teilnehmer mit dem Transceiver 100 ein mobiles Telefon ("cellular radio-telephone", Handy), welches für die Verwendung im Global-System-Mobile-Standard (GSM) geeignet ist.

20 Der Transceiver 100 aus Fig. 1 enthält im allgemeinen eine Antenne 101, einen Transceiverschalter 102, einen Empfänger 103, einen Sender 105, eine Referenzfrequenz-Signalquelle 107, einen Empfangs-(Rx)-Phase-Locked-Loop-(PLL)-Frequenzsynthesizer 108, einen Sende-(Tx)-(PLL)-Frequenzsynthesizer 109, einen Prozessor 110, eine Informationsquelle 106 und eine Informationssenke 104.

Die Verbindung der Blöcke des Transceivers 100 und ihr Betrieb wird im Folgenden beschrieben. Die Antenne 101 empfängt ein RF-Signal 119 von der Basisstation zur Filterung durch den Duplexfilter 102, um ein empfangenes RF-Signal auf der Leitung 111 zu erzeugen. Der Transceiver-Schalter 102 stellt eine Selektivität im Zeitmultiplex ("time division multiplexed (TDM) selectivity") zur Verfügung, um zwischen dem empfangenen RF-Signal auf der Leitung 111 und dem RF-Sendesignal auf der Leitung 113 zu schalten, entsprechend dem Transceiver 100, welcher ein Signal irgendeines erwünschten Empfangszeitbereiches im GSM-Standard empfängt bzw. welcher ein Signal während eines erwünschten Sendezeitbereiches im dem GSM-Standard sendet. Der Empfänger ist so verbunden, daß er das empfangene RF-Signal auf der Leitung 111 empfängt und so arbeitet, daß er ein empfangenes Grundbandsignal auf der Leitung 112 für die Informationssenke 104 erzeugt. Die RF-Signalquelle 107 stellt ein Referenzfrequenzsignal auf der Leitung 115 zur Verfügung. Der Rx-PLL-Frequenzsynthesizer 108 ist so gekoppelt, daß er das RF-Signal aus der Leitung 115 sowie Information auf einem Datenbus 118 empfängt, wobei er so arbeitet, daß er ein Empfängerabstimmungssignal auf der Leitung 118 erzeugt, um den Empfänger 103 auf einen speziellen RF-Kanal abzustimmen. In ähnlicher Weise ist der Tx-PLL-Frequenzsynthesizer 109 so gekoppelt, daß er das RF-Signal auf der Leitung 115 sowie Information auf dem Datenbus 118 empfängt, wobei er so arbeitet, daß er ein Sendeabstimmungssignal auf der Leitung 117 erzeugt, um den Sender 105 auf einen speziellen RF-Kanal abzustimmen. Der Prozessor 110 steuert über den Datenbus 118 den Betrieb des Rx-PLL-Frequenzsynthesizers 108, des Tx-PLL-Frequenzsynthesizers 109, des Empfängers 103 und des Senders 105. Die Informationsquelle 106 erzeugt ein Grundübertragungssignal auf der Leitung 114. Der Sender 105 ist so gekoppelt, daß er das Grundbandübertragungssignal auf der Leitung 114 empfängt, wobei er so arbeitet, daß er das RF-Sendesignal auf der Leitung 113 erzeugt. Der Duplexfilter 102 filtert das RF-Übertragungssignal auf der Leitung 113 zur Ausstrahlung als RF-Signal 120 durch die Antenne 101.

Die RF-Kanäle in einem Funktelefonsystem enthalten beispielsweise Stimm- und Signalkanäle zum Senden und Empfangen (im Folgenden als "Senden-Empfangen" bezeichnet) von Information zwischen der Basisstation und den Teilnehmereinheiten. Die Stimmkanäle sind dem Senden-Empfangen von Stimminformation zugeordnet. Die Signalkanäle, welche ebenfalls als Steuerungskanäle bezeichnet werden, sind dem Senden-Empfangen von Daten- und Signalinformation zugeordnet. Durch diese Signalkanäle erhält der Teilnehmer Zugang zu dem Funktelefonsystem, und es wird ein Stimmkanal zur weiteren Kommunikation mit dem Telefonsystem zugewiesen.

55 Fig. 2 veranschaulicht beispielhaft ein Blockdiagramm eines Phase-Locked-Loop-(PLL)-Frequenzsynthesizers zur Verwendung in dem Transceiver 100 aus Fig. 1 gemäß der vorliegenden Erfindung. Die allgemeine Struktur des PLL-Frequenzsynthesizers aus Fig. 2 ist für den Rx-PLL-Frequenzsynthesizer 108 und den Tx-PLL-Frequenzsynthesizer 109 identisch.

Der PLL-Frequenzsynthesizer 108 oder 109 aus Fig. 2 enthält im allgemeinen einen Referenzteiler 201 und eine PLL 212. Die PLL 212 enthält im allgemeinen einen Phasendetektor 202, einen Sende-PLL-Weg 221, einen Empfangs-PLL-Weg 220, einen Schleifenteiler 205, einen Ladungspumpen-Steuerungsschalter 218 und einen spannungsgesteuerten Oszillator-Steuerungsschalter 219 ("voltage controlled oscillator (VCO) control switch"). Der Sende-PLL-Weg 221 umfaßt eine Ladungspumpe 212, einen Schleifenfilter 213 und einen VCO 214. Der Empfangs-PLL-Weg 220 umfaßt eine Ladungspumpe 210, einen Schleifenfilter 220 und einen VCO 204.

Die Verbindung der Blöcke des PLL-Frequenzsynthesizers 108 oder 109 wird im Folgenden beschrieben. Der Referenzteiler 201 ist so gekoppelt, daß er ein Referenzfrequenzsignal auf der Leitung 115 empfängt, und er ist mit dem Datenbus 118 gekoppelt, wobei er so arbeitet, daß er ein geteiltes Referenzfrequenzsignal auf der Leitung 206 erzeugt. Der Phasendetektor 202 ist so gekoppelt, daß er das geteilte Referenzfrequenzsignal auf der Leitung 206 und ein Rückkopplungssignal auf der Leitung 209 empfängt, und er arbeitet so, daß er ein Phasenfehlersignal auf der Leitung 207 erzeugt.

Auf dem Sende-PLL-Weg 221 ist die Ladungspumpe 212 so gekoppelt, daß sie das Phasenfehlersignal auf der Leitung

207 empfängt, wobei sie so arbeitet, daß sie ein Ladungspumpensignal auf der Leitung 215 erzeugt. Der Schleifenfilter 213 ist so gekoppelt, daß er das Ladungspumpensignal auf der Leitung 215 empfängt, wobei er so arbeitet, daß er ein gefiltertes Signal auf der Leitung 216 erzeugt. Der VCO 214 ist so gekoppelt, daß er das gefilterte Signal auf der Leitung 216 empfängt, wobei er so arbeitet, daß er ein Ausgangsfrequenzsignal auf der Leitung 116 erzeugt.

Auf dem Empfangs-PLL-Weg 220 ist die Ladungspumpe 210 so gekoppelt, daß sie das Phasenfehlersignal auf der Leitung 207 empfängt, wobei sie so arbeitet, daß sie ein Ladungspumpensignal auf der Leitung 211 erzeugt. Der Schleifenfilter 203 ist so gekoppelt, daß er das Ladungspumpensignal auf der Leitung 211 empfängt, wobei er so arbeitet, daß er ein gefiltertes Signal auf der Leitung 208 erzeugt. Der VCO 204 ist so gekoppelt, daß er das gefilterte Signal auf der Leitung 208 empfängt, wobei er so arbeitet, daß er ein Ausgangsfrequenzsignal auf der Leitung 117 erzeugt.

Der Ladungspumpensteuerungsschalter 218 ist mit der Ladungspumpe 210 auf dem Empfangs-PLL-Weg 220 und der Ladungspumpe 212 auf dem Sende-PLL-Weg 221 gekoppelt, wobei er so arbeitet, daß er selektiv die Ladungspumpe 210 und die Ladungspumpe 212 freigibt. Der VCO-Steuerungsschalter 219 ist mit dem VCO 204 auf dem Empfangs-PLL-Weg 220 und dem VCO 214 auf dem Sende-PLL-Weg 221 gekoppelt, wobei er so arbeitet, daß er selektiv den VCO 204 oder den VCO 214 freigibt. Die Ladungspumpe 210 und der VCO 204 werden zum selben Zeitpunkt freigegeben, zu welchem der Transceiverschalter 102 die Antenne 101 mit dem Empfänger 103 koppelt. Die Ladungspumpe 212 und der VCO 214 werden zu demselben Zeitpunkt freigegeben, wenn der Transceiverschalter 102 die Antenne 101 mit dem Sender 105 koppelt. Der Ladungspumpensteuerungsschalter 218 und der VCO-Steuerungsschalter 219 werden vorzugsweise von unterschiedlichen Steuerungssignalen gesteuert, jedoch können sie alternativ auch von demselben Steuerungssignal gesteuert werden. Weiterhin stellen der Ladungspumpensteuerungsschalter 218 und der VCO-Steuerungsschalter 219 vorzugsweise eine Steuerung durch selektive Bereitstellung von Leistung und Entfernung von Leistung bezüglich des jeweiligen PLL-Elementes zur Verfügung.

Der Schleifenteiler 205 ist so gekoppelt, daß er das Ausgangsfrequenzsignal auf der Leitung 116 oder 127 empfängt, wobei er so arbeitet, daß er das Rückkopplungssignal auf der Leitung 209 erzeugt. Der Schleifenteiler 205 und der Referenzteiler 201 empfangen Programminformation über den Datenbus 118.

Der Betrieb des PLL-Frequenzsynthesizers 108 oder 109 wird im Folgenden beschrieben. Die PLL 212 ist eine Schaltung, welche das Ausgangsfrequenzsignal auf der Leitung 116 oder 117 erzeugt, wobei es mit dem Referenzfrequenzsignal auf der Leitung 115 synchronisiert ist. Das Ausgangsfrequenzsignal auf der Leitung 116 oder 117 ist synchronisiert oder mit dem Referenzfrequenzsignal auf der Leitung 115 "verriegelt", wenn die Frequenz des Ausgangsfrequenzsignals auf der Leitung 116 oder 117 eine vorbestimmte Frequenzbeziehung zu der Frequenz des Referenzfrequenzsignals auf der Leitung 115 aufweist. Bei verriegeltem Zustand stellt die PLL 212 typischerweise eine konstante Phasendifferenz zwischen dem Referenzfrequenzsignal auf der Leitung 115 und dem Ausgangsfrequenzsignal auf der Leitung 116 oder 117 zur Verfügung. Die konstante Phasendifferenz kann jeden beliebigen Wert einschließlich Null annehmen. Sollte sich eine Abweichung bei der erwünschten Phasendifferenz eines solchen Signals ausbilden, d. h. sollte sich ein Phasenfehler auf der Leitung 207 zum Beispiel aufgrund einer Änderung von entweder der Frequenz des Referenzfrequenzsignals auf der Leitung 115 oder programmierbare Parameter der PLL über den Datenbus 118 ausbilden, so versucht die PLL, die Frequenz des Ausgangsfrequenzsignals auf der Leitung 116 oder 117 einzustellen, um den Phasenfehler auf der Leitung 207 in Richtung Null zu treiben.

Der PLL-Frequenzsynthesizer 108 oder 109 ist so klassifiziert, daß er zu einer von wenigstens zwei Kategorien gehört, die auf der vorbestimmten Frequenzbeziehung der Ausgangssignalfrequenz auf der Leitung 116 oder 117 zu der Frequenz des Referenzfrequenzsignals auf der Leitung 115 basieren. Die erste Kategorie ist als PLL-Frequenzsynthesizer mit "ganzzahliger Teilung" ("integer division") klassifiziert, wobei die Beziehung zwischen dem Ausgangsfrequenzsignal auf der Leitung 116 oder 117 und dem Referenzfrequenzsignal auf der Leitung 115 ganzzahlig ist. Die zweite Kategorie ist als PLL-Frequenzsynthesizer mit "fraktionierter Teilung" ("fractional division") klassifiziert, wobei die Beziehung zwischen dem Ausgangsfrequenzsignal auf der Leitung 116 oder 117 und dem Referenzfrequenzsignal auf der Leitung 115 eine rationale, nicht ganzzahlige Zahl ist, welche aus einer ganzen Zahl und einem Bruchteil besteht.

Fig. 3 veranschaulicht ein Blockdiagramm eines Phasendetektors 202 und eine Ladungspumpe 210 oder 212 gemäß der vorliegenden Erfindung. Die Bezugsziffern für den Phasendetektor 202 und die Ladungspumpe 210 oder 212 in Fig. 3 entsprechen denselben Bezugsziffern in Fig. 2.

Der Phasendetektor 202 aus Fig. 3 hat Charakteristika, die einerseits gleich und andererseits unterschiedlich im Hinblick auf sowohl den Dreistufen-Phasendetektor 901 aus Fig. 9 und den Zweistufen-Phasendetektor 1401 aus Fig. 14 sind. Der Phasendetektor 202 aus Fig. 3 ähnelt dem Dreistufen-Phasendetektor 901 aus Fig. 9 darin, daß er zwei D-Typ-Flip-Flops und ein AND-Gatter aufweist und daß ein Ausgangssignal eines D-Typ-Flip-Flops eine Abwärts-Stromquelle einer Ladungspumpe steuert. Jedoch unterscheidet sich der Phasendetektor 202 aus Fig. 3 von dem Dreistufen-Phasendetektor 901 aus Fig. 9 darin, daß in Fig. 3 die Aufwärts-Stromquelle der Ladungspumpe einen konstanten Strom zur Verfügung stellt; in Fig. 9 wird die Aufwärts-Stromquelle der Ladungspumpe durch ein Ausgangssignal des anderen D-Typ-Flip-Flops in Fig. 9 gesteuert. Der Phasendetektor 202 aus Fig. 3 ähnelt dem Zweistufen-Phasendetektor 1401 aus Fig. 14 darin, daß er zwei D-Typ-Flip-Flops aufweist und daß ein Ausgangssignal eines D-Typ-Flip-Flops eine Abwärts-Stromquelle einer Ladungspumpe steuert. Jedoch unterscheidet sich der Phasendetektor 202 aus Fig. 3 von dem Zweistufen-Phasendetektor 1401 aus Fig. 14 darin, daß in Fig. 3 ebenfalls ein AND-Gatter vorgesehen ist, wobei die Aufwärts-Stromquelle der Ladungspumpe einen konstanten Strom zur Verfügung stellt, welcher geringer ist als die Hälfte des Stroms, welcher von der Abwärts-Stromquelle zur Verfügung gestellt wird; allerdings ist in Fig. 14 kein AND-Gatter vorgesehen und die Aufwärts-Stromquelle der Ladungspumpe stellt einen konstanten Strom zur Verfügung, der gleich der Hälfte des Stroms ist, welcher von der Abwärts-Stromquelle zur Verfügung gestellt wird.

In Fig. 3 enthält der Phasendetektor 202 im allgemeinen einen ersten D-Typ-Flip-Flop 302 und einen zweiten D-Typ-Flip-Flop 304 sowie ein AND-Gatter 306. Der erste D-Typ-Flip-Flop 302 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit einer positiven Versorgungsspannung 312 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes Referenzfrequenzsignal 206 (Fref) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 314. Der vierte Anschluß wird

nicht verwendet. Der fünfte Anschluß ist so gekoppelt, daß er ein Rückstellsignal 316 empfängt. Der zweite D-Typ-Flip-Flop 304 hat einen ersten Anschluß, einen zweiten Anschluß, einen dritten Anschluß, einen vierten Anschluß und einen fünften Anschluß. Der erste Anschluß ist mit der positiven Versorgungsspannung 318 verbunden. Der zweite Anschluß ist so gekoppelt, daß er ein geteiltes VCO-Frequenzsignal 209 (Fvco) empfängt. Der dritte Anschluß erzeugt ein erstes Ausgangssignal 320. Der vierte Anschluß erzeugt ein zweites Ausgangssignal 207 (d. h. das DN-Signal (abwärts)). Der fünfte Anschluß ist so gekoppelt, daß er das Rückstellsignal 316 empfängt.

In Fig. 3 enthält die Ladungspumpe 210 oder 212 im allgemeinen eine erste Stromquelle 308 und eine zweite Stromquelle 310. Die erste Stromquelle 308 hat einen ersten Anschluß und einen zweiten Anschluß. Der erste Anschluß der ersten Stromquelle 308 ist mit der positiven Versorgungsspannung verbunden. Der zweite Anschluß der ersten Stromquelle 308 erzeugt ein Ausgangssignal 211 oder 215. Die zweite Stromquelle 310 hat einen ersten Anschluß, einen zweiten Anschluß und einen dritten Anschluß. Der erste Anschluß der zweiten Stromquelle 310 ist mit dem zweiten Anschluß der ersten Stromquelle 308 verbunden, wobei er so arbeitet, daß er das Ausgangssignal 212 oder 215 erzeugt. Der zweite Anschluß der zweiten Stromquelle 310 ist so gekoppelt, daß er das DN-Signal 207 von dem zweiten D-Typ-Flip-Flop 304 erzeugt. Der dritte Anschluß der zweiten Stromquelle 310 ist mit einem Erdpotential verbunden.

Beim allgemeinen Betrieb des Phasendetektors 202 bewirkt eine Phasendifferenz zwischen Fref 206 und Fvco 209, daß sich die Impulsbreite des DN-Signals 207 des Phasendetektors 202 ändert. Das DN-Signal 207 des Phasendetektors 202 treibt die Stromquelle 310 der Ladungspumpe 210 oder 212, was Kondensatoren des Schleifenfilters 203 oder 213 (in Fig. 2 gezeigt) lädt oder entlädt, so daß eine Spannungssteuerung für den VCO 204 und 214 (in Fig. 2 gezeigt) in der PLL 212 (in Fig. 2 gezeigt) gebildet wird. Die Ladungspumpe 210 oder 212 arbeitet gemäß der folgenden Gleichung: $I_{out\ net} = I_{up} - (I_{down} \cdot \text{duty-cycle})$. Bei der bevorzugten Ausführung gilt: $I_{out\ net} = 0$, wenn $I_{up} = 0,8I$, $I_{down} = 2I$ und der Duty-Cycle ist 40%.

Beim Betrieb des Phasendetektors 202 ist insbesondere der Fall zu berücksichtigen, bei dem Fref 206 vor Fvco 209 ansteigt, wobei sowohl der D-Typ-Flip-Flop 302 als auch der D-Typ-Flip-Flop 304 mit der Flanke getriggert werden. Bei der ansteigenden Flanke von Fref 206 setzt der erste D-Typ-Flip-Flop 302 sein erstes Ausgangssignal 314 auf ein logisches High. Das erste Ausgangssignal 314 verbleibt in diesem Zustand bis Fvco 209 ansteigt. Wenn Fvco 209 ansteigt, so setzt der zweite D-Typ-Flip-Flop 304 sein erstes Ausgangssignal 320 auf ein logisches High und sein zweites Ausgangssignal 207 auf ein logisches Low. Das logische High des ersten Ausgangssignals 314 von dem ersten D-Typ-Flip-Flop 302 und das logische High des ersten Ausgangssignals 320 von dem zweiten D-Typ-Flip-Flop 304 bewirkt, daß das AND-Gatter 306 das Rückstellsignal 316 bei einem logischen High erzeugt, so daß beide Flip-Flops 302 und 304 rückgestellt werden. Wenn dieses Rückstellen auftritt, so kehrt der Phasendetektor 202 in seinen Ausgangszustand zurück, und er ist bereit, die ansteigenden Flanken der Impulse von Fref 206 und Fvco 209 zu detektieren. Wenn Fref 206 bezüglich Fvco 209 vorausseilt, so befindet sich das DN-Signal 207 für eine Zeit auf Low, welche von der Ausbreitung der beiden D-Typ-Flip-Flops 302 und 304 und dem AND-Gatter 306 bestimmt wird. Die Ausbreitungslogik umfaßt die Geschwindigkeit der Uhr, um Q auf ein logisches High zu bringen, dann das Übergehen des Q-Ausgangs selbst auf ein logisches High, daraufhin das Übergehen des Rückstellsignals 316 von dem AND-Gatter 306 auf ein logisches High und daraufhin das Übergehen des Rückstellsignals 316 auf ein logisches High, was bewirkt, daß Q auf ein logisches Low geht. Es ist zu bemerken, daß die Zeit für die Ausbreitungslogik nicht mit der Phasendifferenz zwischen Fref 206 und Fvco 209 in Beziehung steht. Der logische Low-Impuls von dem DN-Signal 207 treibt die zweite Stromquelle 310, welche Kondensatoren in dem Schleifenfilter 203 und 213 in der PLL 212 auf eine geringere Spannung lädt. Hier wird angenommen, daß der VCO eine positive Übertragung von Spannung auf Frequenz aufweist. Alternativ kann der VCO eine negative Übertragungsfunktion haben, wobei die Kondensatoren in dem Schleifenfilter 203 und 213 in der PLL 212 auf eine höhere Spannung geladen würden. Als Antwort auf die geringere Spannung senkt der VCO 204 oder 214 in der PLL 212 seine Frequenz, um zu bewirken, daß die ansteigende Flanke des Impulses von Fvco 209 beim nächsten Abtastmoment später auftritt, da seine Periode angewachsen ist, was anders herum die Impulsbreite herabsetzt, welche bei dem DN-Signal 207 erzeugt wird. Dieser Betrieb wird fortgesetzt, bis Fvco 209 zum selben Zeitpunkt auftritt wie Fref 206, was im wesentlichen zu einem infinitesimal kleinen Impuls (aufgrund der oben beschriebenen Ausbreitungsverzögerung) führt, welcher bei dem DN-Signal 207 erzeugt wird.

Wenn andererseits Fref hinter Fvco 209 zurückhängt, so ist die Impulsbreite des DN-Signals gleich der Phasendifferenz zwischen Fref 206 und Fvco 209. Wenn die Phasendifferenz 40% der Kristalloszillatorperiode beträgt, was der Zielwert für einen phasenverriegelten Zustand ist, so beträgt die Nettoladung aus der Ladungspumpe Null. Wenn die Phasendifferenz größer ist als 40% der Kristalloszillatorperiode, so ist die Nettoladung aus der Ladungspumpe negativ, wodurch die Spannung von dem Schleifenfilter abgesenkt wird, um die VCO-Frequenz abzusenken, was die Phasendifferenz zwischen Fref 206 und Fvco 209 absenkt. Wenn die Phasendifferenz geringer ist als 40% der Kristalloszillatorperiode, so ist die Nettoladung aus der Ladungspumpe positiv, wodurch die Spannung von dem Schleifenfilter ansteigt, um die VCO-Frequenz zu erhöhen, was die Phasendifferenz zwischen Fref 206 und Fvco 209 vergrößert. Das 40%-Niveau der Kristalloszillatorperiode muß geringer sein als das 50%-Niveau der Kristalloszillatorperiode, um eine falsche Verriegelung zu verhindern, wie sie in den Fig. 4 und 5 gezeigt ist, wobei sie auf Grundlage der Modulation des Synthesizers gewählt wird. Bei der bevorzugten Ausführungsform wird der minimale Duty-Cycle von 40% durch die Modulation der Fensterbreite (15,4 ns) dividiert durch die Periode des Kristalloszillators (38 ns) = 0,385 oder 38,5%, was etwa 40% entspricht, bestimmt.

Es gibt eine untere Grenze für die Größe der Aufwärts-Stromquelle 308. Der Zweistufen-Phasendetektor 1401 in Fig. 14 verriegelt bei einem Phasenfehler von π mit $I_{up} = I_{dn}/2$. Wenn I_{up} abfällt, nähert sich der Verriegelungspunkt 0 Grad. Jedoch ist Null ein diskontinuierlicher Punkt bei dem zweistufigen Phasendetektor 1401 in Fig. 14, so daß er zu vermeiden ist, da sich die I_{dn} -Impulsbreiten 0 nähern würde. Bei der bevorzugten Ausführung in Fig. 3 gilt $I_{up} = 0,4 \cdot I_{dn}$. Dies führt zu einer DN-Impulsbreite von 15,38 ns mit einer Referenz von 26 MHz. 26 MHz basiert auf dem GSM-System. Dies entspricht etwa 40% der Periode. Bei einem fraktionierten N-Synthesizer mit vier Akkumulatoren ("four accumulator fractional N synthesizer") ändert sich der Teiler um ± 7 Zählwerte. Daher ändert sich die Impulsbreite in den Phasendetektor 202 um maximal das 7-fache einer Periode der geringsten VCO-Frequenz. Bei einem Global System Mobile

(GSM) ist die geringste Frequenz 880 MHz, und somit kann sich die Eingangsimpulsbreite $\pm 7,95$ ns ändern. Dies führt zu einer minimalen DN-Pulsbreite, welche 7,43 ns beträgt. Damit besteht ein ausreichender Spielraum für den Idn-Impuls, so daß er niemals eine Pulsbreite von Null trifft. Daher hat der Phasendetektor 202 in Fig. 3 die erwünschte Linearität des herkömmlichen Zweistufen-Phasendetektors 1401 in Fig. 14, wobei jedoch nicht die Potential-Verriegelungsprobleme bei harmonischen Frequenzen vorliegen, wie es bei dem konventionellen Zweistufen-Phasendetektor 1401 der Fall ist. 5

Die Frequenzsteuerung des Phasendetektors 202 kann durch verschiedene Verfahren und Schaltungen implementiert werden. Die Schaltung in Fig. 3 wird verwendet, da nur ein AND-Gatter 306 zur herkömmlichen Struktur des Zweistufen-Phasendetektors 1401 zugefügt ist. In der bevorzugten Ausführung ist dies wichtig, da der Phasendetektor 202 mit hoher Geschwindigkeit in einer Schaltung vom ECL-Typ arbeiten soll. Wenn ein komplexeres System für die Frequenzsteuerung verwendet würde, so würde wesentlich mehr Strom gezogen, und eine große Anzahl von Transistoren wäre erforderlich. 10

Fig. 4 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 3 darstellt, welche ohne Frequenzsteuerung arbeiten, gemäß der vorliegenden Erfindung. Fig. 5 veranschaulicht einen Graph, welcher einen Netto-Ausgangsstrom gegen die Phase für den Phasendetektor und die Ladungspumpe aus Fig. 3 darstellt, welche mit Frequenzsteuerung arbeiten, gemäß der vorliegenden Erfindung. Wenn die Aufwärts-Stromquelle 308 größer ist als die Hälfte der Abwärts-Stromquelle 310, so kann nach wie vor eine falsche Verriegelung auftreten, wie es in Fig. 4 dargestellt ist. Wenn jedoch die Aufwärts-Stromquelle 308 absichtlich auf einen geringeren Wert gesetzt wird als die Hälfte der Abwärts-Stromquelle 310, so gibt es keine falschen Verriegelungszustände, wie in Fig. 5 dargestellt ist. 15 20

Zusammenfassend hat der Phasendetektor 202 zwei D-Typ-Flip-Flops 302 und 304 und ein AND-Gatter 306 wie ein herkömmlicher Dreistufen-Phasendetektor 901, wobei er jedoch mit einer Ladungspumpe 210 oder 212 gekoppelt ist und diese antreibt, wie ein herkömmlicher Zweistufen-Phasendetektor 1401. Zusätzlich wird der von der Aufwärts-Stromquelle 308 zur Verfügung gestellte Strom absichtlich auf einen geringeren Wert als die Hälfte des Stroms gesetzt, welcher von der Abwärts-Stromquelle zur Verfügung gestellt wird, um falsche Verriegelungspunkte zu vermeiden. Der Phasendetektor 202 ist zur Verwendung in einer digitalen komplementären Mosfet-Logik (DCML), bei hoher Geschwindigkeit, bei einem Phasendetektor mit geringem Zittern zu verwenden, welcher minimalen Strom verbraucht und eine minimale Chipfläche einnimmt. 25

Während die vorliegende Erfindung mit Bezug auf die veranschaulichenden Ausführungsformen beschrieben wurde, ist nicht beabsichtigt, daß die Erfindung auf diese speziellen Ausführungsformen beschränkt ist. Fachleute werden erkennen, daß Variationen und Veränderungen durchgeführt werden, ohne daß der Umfang der Erfindung, wie er in den beigefügten Ansprüchen festgelegt ist, verlassen würde. 30

Die in der vorstehenden Beschreibung, in der Zeichnung sowie in den Ansprüchen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung wesentlich sein. 35

Patentansprüche

1. Phase Locked Loop (PLL) (212), gekennzeichnet durch
 - einen Phasendetektor (202), geeignet zum Empfang einer Wiedergabe eines Referenzfrequenzsignals und einer Wiedergabe eines spannungsgesteuerten Oszillatorfrequenzsignals und geeignet zum Erzeugen eines Phasenfehlersignals; und
 - eine Ladungspumpe (210) mit
 - einer ersten Stromquelle (308) mit einem ersten Anschluß und einem zweiten Anschluß, wobei die erste Stromquelle einen ersten Strom liefert; und
 - einer zweiten Stromquelle (310) mit einem ersten Anschluß und einem zweiten Anschluß, wobei die zweite Stromquelle einen zweiten Strom liefert, und
 - wobei entweder die erste Stromquelle oder die zweite Stromquelle einen konstanten Strom liefert und die jeweils andere der ersten Stromquelle und der zweiten Stromquelle einen variablen Strom liefert, in Abhängigkeit des Phasenfehlersignals, wobei der konstante Strom so eingestellt wird, daß sein Wert weniger als die Hälfte des Variablen Stroms beträgt. 40 45 50
2. PLL nach Anspruch 1, dadurch gekennzeichnet, daß der Phasendetektor weiterhin aufweist:
 - einen ersten Flip-Flop (302) mit einem ersten Anschluß (D), einem zweiten Anschluß (CLK), einem dritten Anschluß (R) und einem vierten Anschluß (Q), wobei der erste Anschluß so gekoppelt ist, daß er eine Referenzspannung empfängt, der zweite Anschluß so gekoppelt ist, daß er die Wiedergabe des Referenzfrequenzsignals empfängt, der dritte Anschluß so gekoppelt ist, daß er ein Rückstellsignal empfängt, und der vierte Anschluß so arbeitet, daß er ein erstes Ausgangssignal erzeugt; 55
 - einen zweiten Flip-Flop (304) mit einem ersten Anschluß (D), einem zweiten Anschluß (CLK), einem dritten Anschluß (R) und einem vierten Anschluß (Q), wobei der erste Anschluß so gekoppelt ist, daß er die Referenzspannung empfängt, der zweite Anschluß so gekoppelt ist, daß er die Wiedergabe des spannungsgesteuerten Oszillatorfrequenzsignals empfängt, der dritte Anschluß so gekoppelt ist, daß er das Rückstellsignal empfängt, und der vierte Anschluß so arbeitet, daß er ein zweites Ausgangssignal erzeugt; und 60
 - eine Rückstellschaltung (306) mit einem ersten Anschluß, einem zweiten Anschluß und einem dritten Anschluß, wobei der erste Anschluß so gekoppelt ist, daß er das erste Ausgangssignal von dem ersten Flip-Flop empfängt, der zweite Anschluß so gekoppelt ist, daß er das zweite Ausgangssignal von dem zweiten Flip-Flop empfängt, und der dritte Anschluß so arbeitet, daß er das Rückstellsignal erzeugt. 65
3. PLL nach Anspruch 1 oder 2, dadurch gekennzeichnet,
 - daß die erste Stromquelle der Ladungspumpe einen konstanten Aufwärtsstrom liefert und
 - daß die zweite Stromquelle der Ladungspumpe einen variablen Abwärtsstrom liefert.

4. PLL nach Anspruch 1 oder 2, dadurch gekennzeichnet,
 - daß die erste Stromquelle der Ladungspumpe einen variablen Aufwärtsstrom liefert und
 - daß die zweite Stromquelle der Ladungspumpe einen konstanten Abwärtsstrom liefert.
5. Phase Locked Loop (PLL) (212), gekennzeichnet durch
 - einen Phasendetektor (202), geeignet zum Empfangen einer Wiedergabe eines Referenzfrequenzsignals und einer Wiedergabe eines spannungsgesteuerten Oszillatorfrequenzsignals und geeignet zum Erzeugen eines Phasenfehlersignals, wobei der Phasendetektor weiterhin aufweist:
 - einen ersten Flip-Flop (302) mit einem ersten Anschluß (D), einem zweiten Anschluß (CLK), einem dritten Anschluß (R) und einem vierten Anschluß (Q), wobei der erste Anschluß so gekoppelt ist, daß er eine Referenzspannung empfängt, der zweite Anschluß so gekoppelt ist, daß er die Wiedergabe des Referenzfrequenzsignals empfängt, der dritte Anschluß so gekoppelt ist, daß er ein Rückstellsignal empfängt, und der vierte Anschluß so arbeitet, daß er ein erstes Ausgangssignal erzeugt;
 - einen zweiten Flip-Flop (304) mit einem ersten Anschluß (D), einem zweiten Anschluß (CLK), einem dritten Anschluß (R) und einem vierten Anschluß (Q), wobei der erste Anschluß so gekoppelt ist, daß er die Referenzspannung empfängt, der zweite Anschluß so gekoppelt ist, daß er die Wiedergabe des spannungsgesteuerten Oszillatorfrequenzsignals empfängt, der dritte Anschluß so gekoppelt ist, daß er das Rückstellsignal empfängt, und der vierte Anschluß so arbeitet, daß er ein zweites Ausgangssignal erzeugt; und
 - eine Rückstellschaltung (306) mit einem ersten Anschluß, einem zweiten Anschluß und einem dritten Anschluß, wobei der erste Anschluß so gekoppelt ist, daß er das erste Ausgangssignal von dem ersten Flip-Flop empfängt, der zweite Anschluß so gekoppelt ist, daß er das zweite Ausgangssignal von dem zweiten Flip-Flop empfängt, und der dritte Anschluß so arbeitet, daß er das Rückstellsignal erzeugt; und
 - eine Ladungspumpe (210) mit:
 - einer ersten Stromquelle (308) mit einem ersten Anschluß und einem zweiten Anschluß, wobei die erste Stromquelle einen ersten Strom liefert; und
 - einer zweiten Stromquelle (310) mit einem ersten Anschluß und einem zweiten Anschluß, wobei die zweite Stromquelle einen zweiten Strom liefert, und
 - wobei entweder die erste Stromquelle oder die zweite Stromquelle einen konstanten Strom liefert und die jeweils andere der ersten Stromquelle und der zweiten Stromquelle einen variablen Strom liefert, in Abhängigkeit des Phasenfehlersignals, wobei der konstante Strom so eingestellt wird, daß sein Wert weniger als die Hälfte des variablen Stroms beträgt.
6. PLL nach Anspruch 5, dadurch gekennzeichnet,
 - daß die erste Stromquelle der Ladungspumpe einen konstanten Aufwärtsstrom liefert und
 - daß die zweite Stromquelle der Ladungspumpe einen variablen Abwärtsstrom liefert.
7. PLL nach Anspruch 5, dadurch gekennzeichnet,
 - daß die erste Stromquelle der Ladungspumpe einen variablen Aufwärtsstrom liefert und
 - daß die zweite Stromquelle der Ladungspumpe einen konstanten Abwärtsstrom liefert.
8. Funkkommunikations-Transceiver (100), gekennzeichnet durch
 - eine Antenne (101);
 - einen Empfänger (103), der mit der Antenne verbunden ist;
 - einen Sender (105), der mit der Antenne verbunden ist;
 - einen Prozessor (110), der mit dem Empfänger und dem Sender verbunden ist; und
 - eine Synthesizerschaltung (107, 108, 109), die mit dem Empfänger, dem Sender und dem Prozessor verbunden ist, wobei die Synthesizerschaltung einen Phase-Locked-Loop-(PLL)-Frequenzsynthesizer (108) aufweist und wobei der PLL-Frequenzsynthesizer umfaßt:
 - einen Frequenzteiler (201), um eine Wiedergabe einer Referenzfrequenz zu erzeugen, und
 - eine PLL (212) mit:
 - einem Schleifenteiler (205) zum Erzeugen einer Wiedergabe eines spannungsgesteuerten Oszillatorfrequenzsignals,
 - einem Phasendetektor (202), der mit dem Referenzteiler und dem Schleifenteiler verbunden ist, wobei der Phasendetektor zum Erzeugen eines Phasenfehlersignals vorgesehen ist, und
 - einer Ladungspumpe (210) mit
 - einer ersten Stromquelle (308) zum Liefern eines ersten Stroms; und
 - einer zweiten Stromquelle (310) zum Liefern eines zweiten Stroms, und
 - wobei die erste Stromquelle oder die zweite Stromquelle einen konstanten Strom liefert und die jeweils andere der ersten Stromquelle und der zweiten Stromquelle einen variablen Strom liefert, in Abhängigkeit des Phasenfehlersignals, wobei der konstante Strom so eingestellt wird, daß sein Wert weniger als die Hälfte des variablen Stroms beträgt.
9. Funkkommunikations-Transceiver nach Anspruch 8, dadurch gekennzeichnet, daß der Funkkommunikations-Transceiver ein mobiles Funktelefon ("cellular radiotelephone") ist, welches für die Verwendung bei einem Global-System-Mobile-Standard (GSM) geeignet ist.
10. Funkkommunikations-Transceiver nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß die erste oder die zweite Stromquelle einen Aufwärtsstrom liefert und die jeweils andere der ersten und der zweiten Stromquelle einen Abwärtsstrom liefert, wobei der Aufwärtsstrom den 0,4-fachen Wert des Abwärtsstroms hat.

Hierzu 8 Seite(n) Zeichnungen

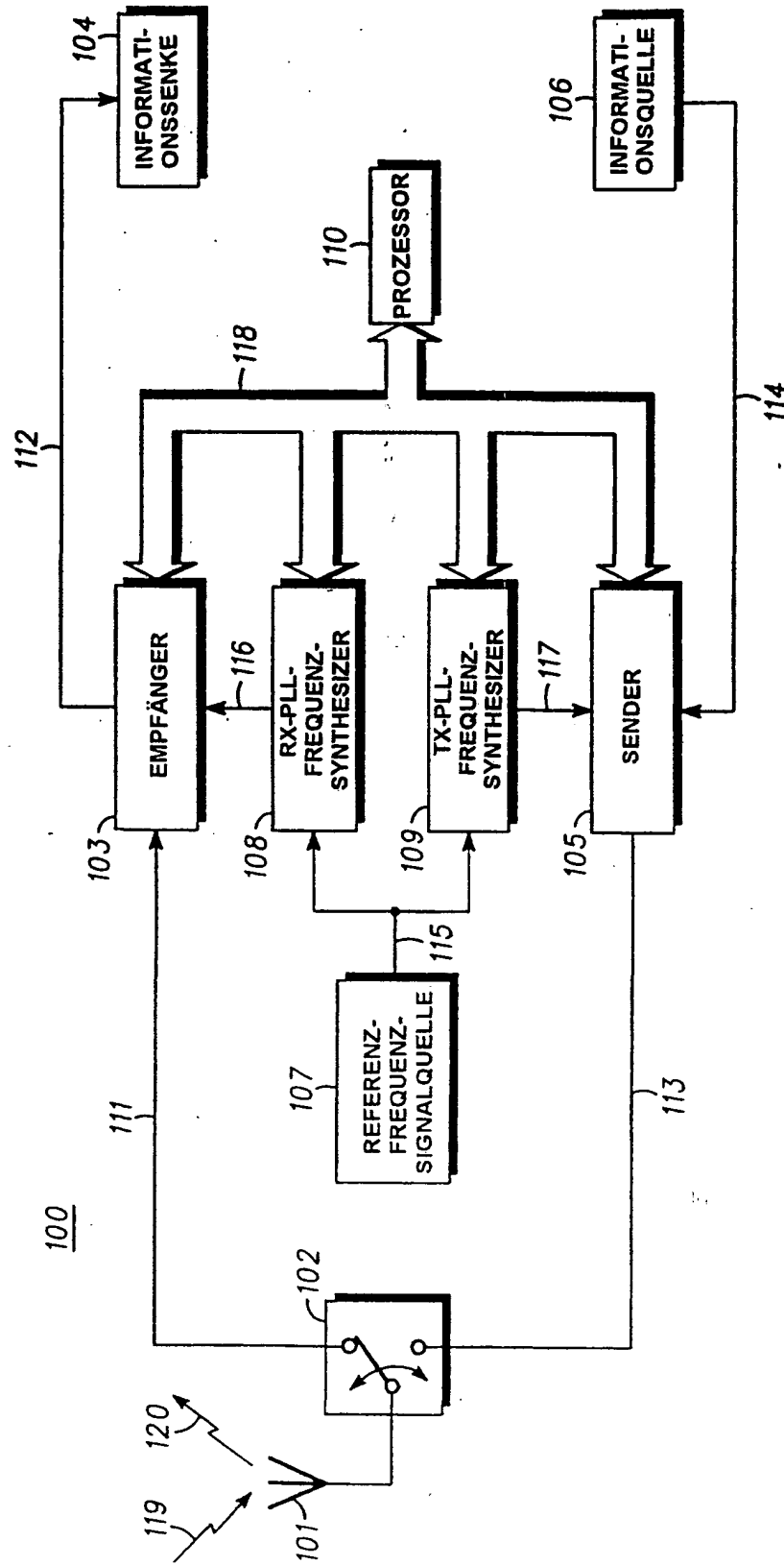
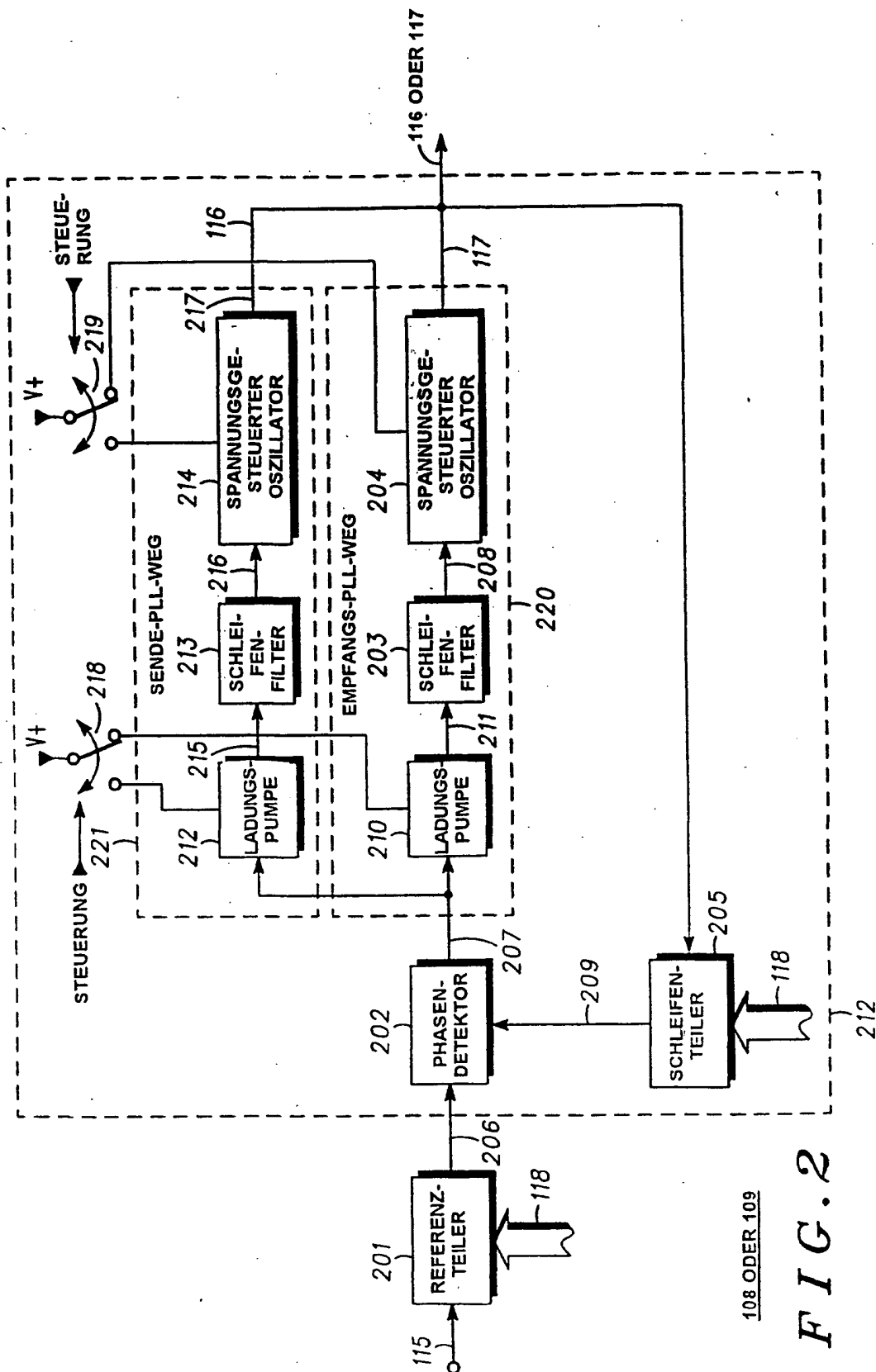
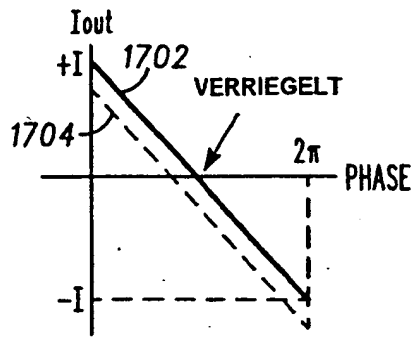


FIG. 1



108 ODER 109

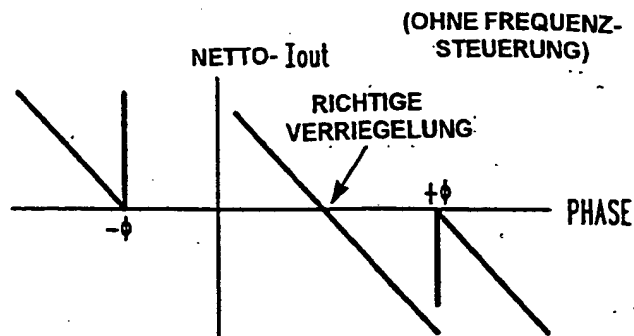
FIG. 2



1700

- STAND DER TECHNIK -

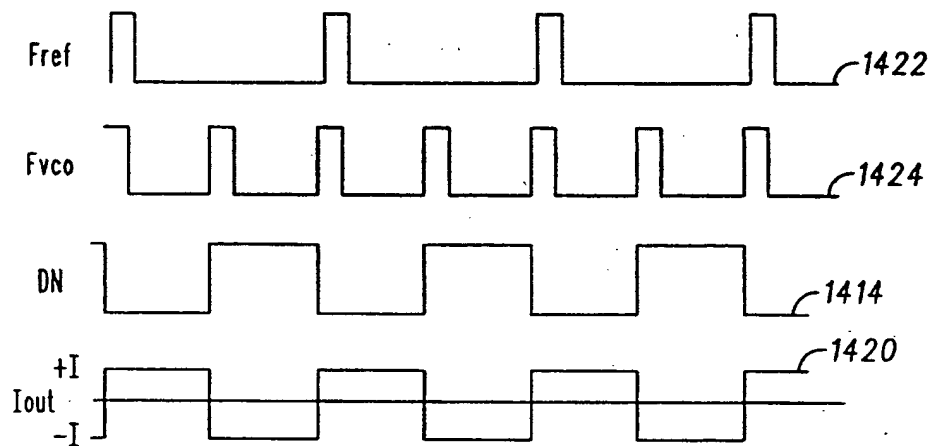
FIG. 17



1900

- STAND DER TECHNIK -

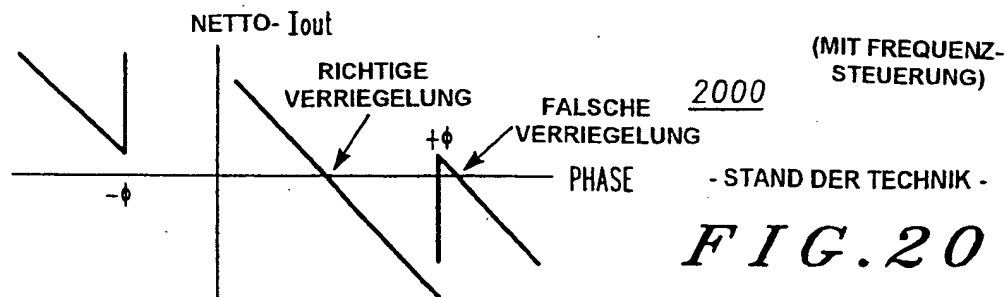
FIG. 19



- STAND DER TECHNIK -

1800

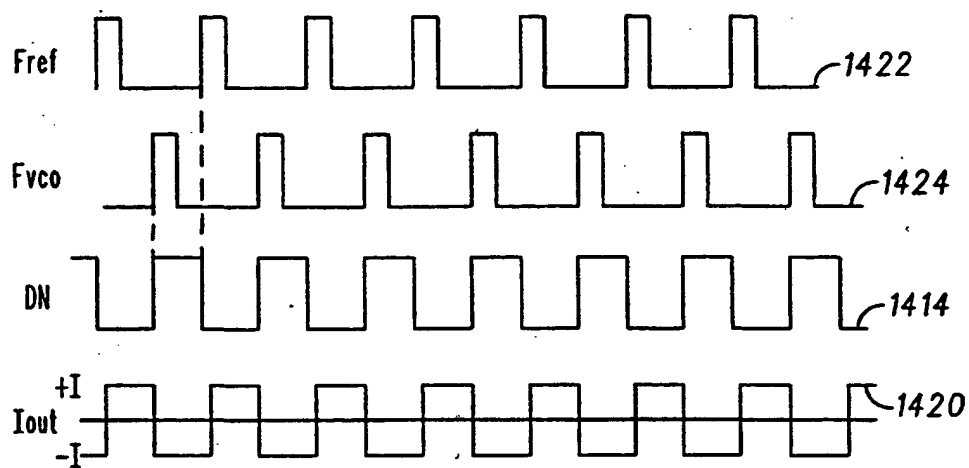
FIG. 18



2000

- STAND DER TECHNIK -

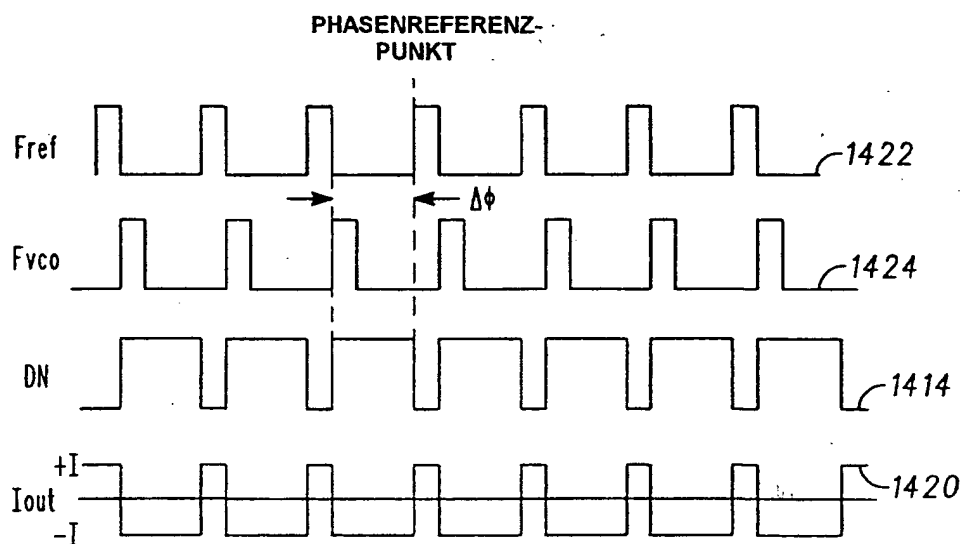
FIG. 20



- STAND DER TECHNIK -

1500

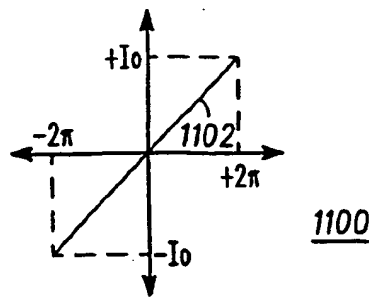
FIG. 15



- STAND DER TECHNIK -

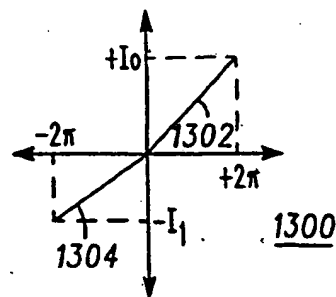
1600

FIG. 16



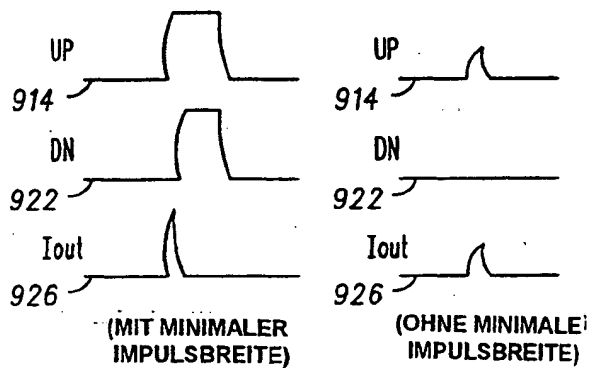
- STAND DER TECHNIK -

FIG. 11



- STAND DER TECHNIK -

FIG. 13



1200

- STAND DER TECHNIK -

FIG. 12

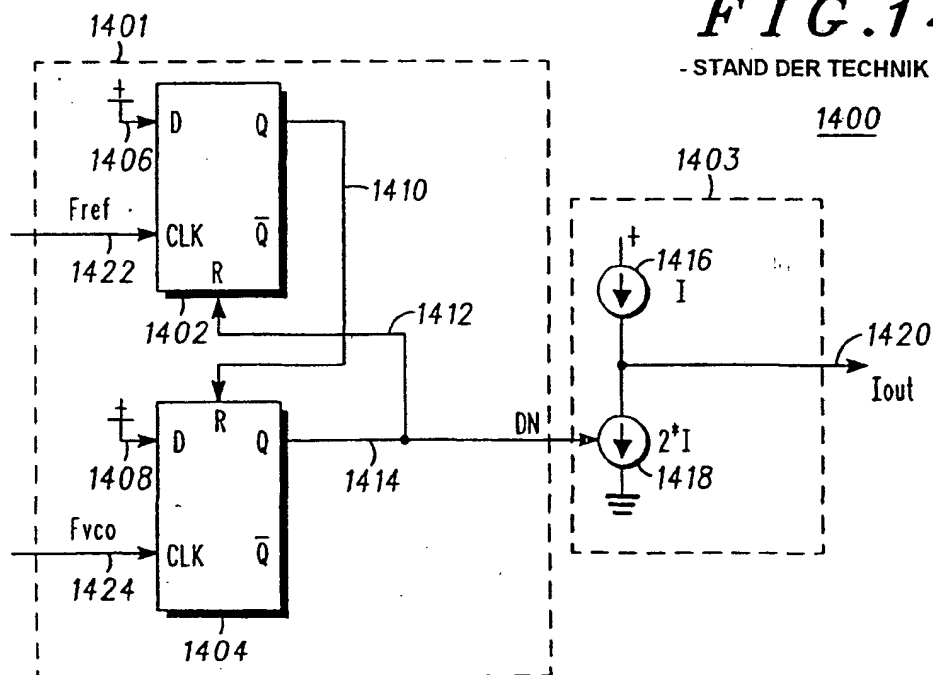


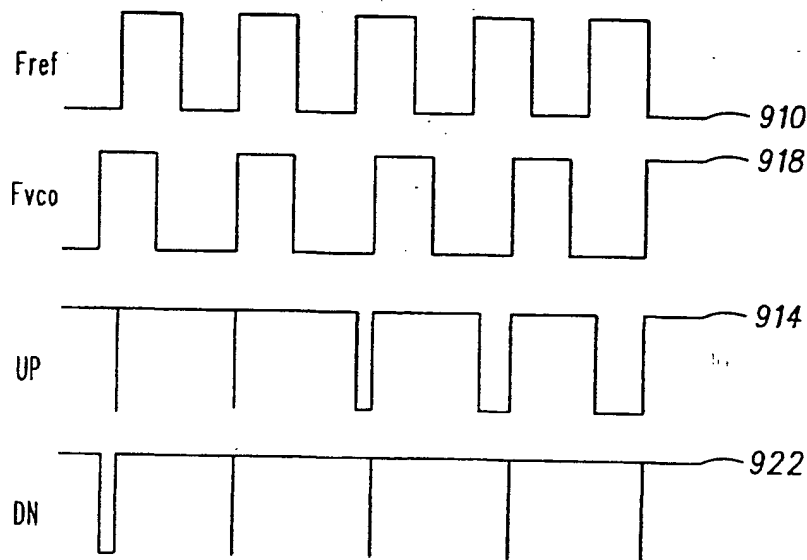
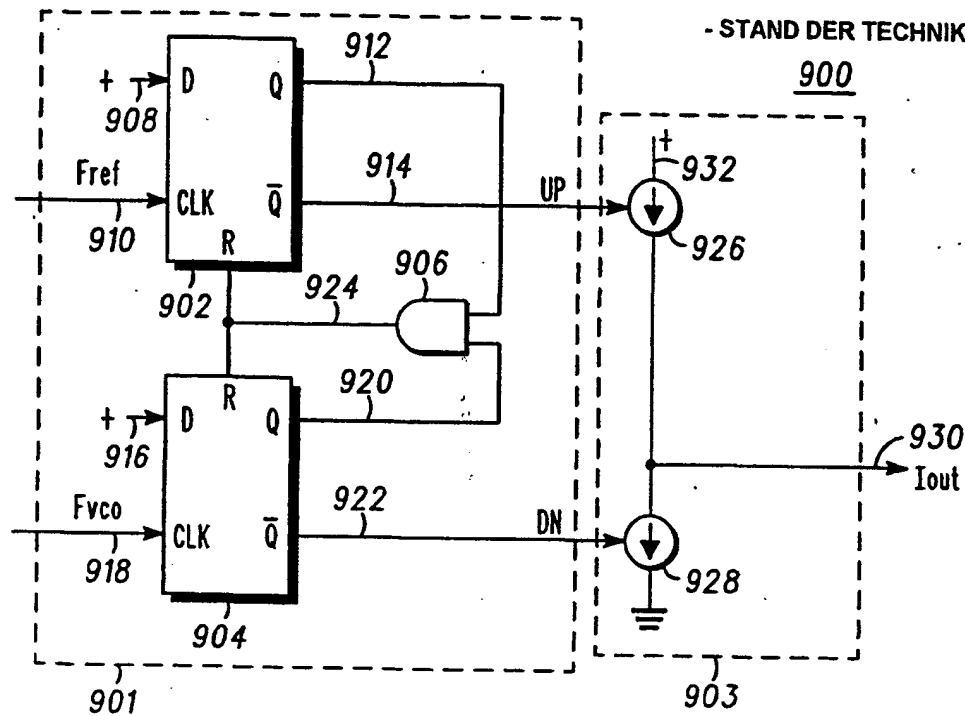
FIG. 14

- STAND DER TECHNIK -

1400

FIG. 9

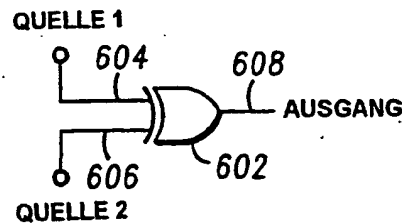
- STAND DER TECHNIK -



- STAND DER TECHNIK -

1000

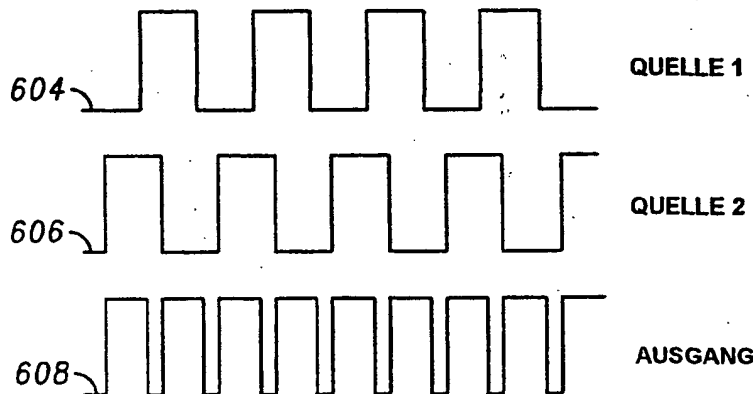
FIG. 10



600

- STAND DER TECHNIK -

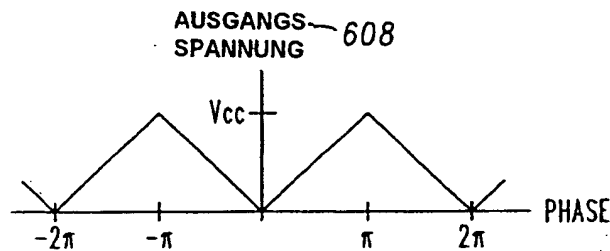
FIG. 6



700

- STAND DER TECHNIK -

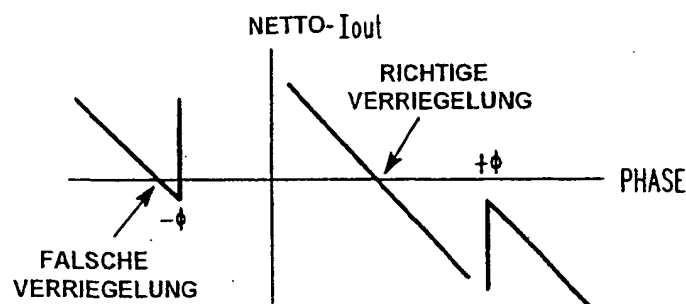
FIG. 7



800

- STAND DER TECHNIK -

FIG. 8



(MIT FREQUENZ-
STEUERUNG)

2100

- STAND DER TECHNIK -

FIG. 21

6046000-

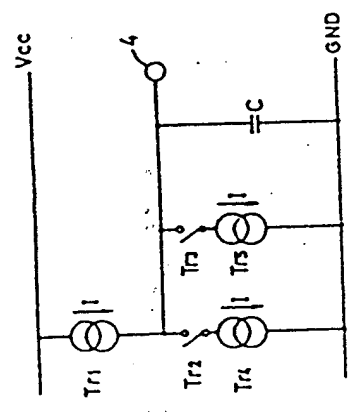
E-809 August 22, 1989 Vol. 13/No. 378

PATENTS ABSTRACTS OF JAPAN

(54) CHARGE PUMP CIRCUIT
 (11) 1-128621 (A) (43) 22.5.1989 (19) JP
 (21) Appl. No. 62-286619 (22) 13.11.1987
 (71) FUJITSU LTD (72) EIJI NISHIMORI(1)
 (51) Int. Cl. H03L7/08G

PURPOSE: To attain high speed operation by providing the switches of two systems to correspond to the current attracting constant current sources of two systems.

CONSTITUTION: At an up time, switches Tr_2 and Tr_3 are turned off by an up pulse and a capacitor C is charged by a constant current I of a constant current source Tr_1 . Then, an output voltage rises. On the other hand, at a down time, the switches Tr_2 and Tr_3 are turned off by a down pulse and the capacitor C is discharged by a difference current I between the sum of the respective constant currents of constant current sources Tr_1 and Tr_3 and the constant current of the constant current source Tr_4 . Then, the output voltage falls. In such a case, the constant current sources Tr_1 , Tr_4 and Tr_3 do not participate in a switching by the up pulse and the down pulse and the switching is executed to the switches Tr_2 and Tr_3 . Thus, for the switches Tr_2 and Tr_3 , an NPN transistor to be suitable for the high speed operation can be used.



| LEGENDE zu den Bibliographiedaten | | (22) Anmeldetag in Japan | |
|------------------------------------|--|--------------------------------------|--|
| (54) Titel der Patentanmeldung | (11) Nummer der JP-A2 Veröffentlichung | (71) Anmelder | (72) Erfinder |
| (21) Aktenzeichen der JP-Anmeldung | (43) Veröffentlichungstag | (52) Japanische Patentklassifikation | (51) Internationale Patentklassifikation |

